

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-005114

(43)Date of publication of application : 10.01.1997

(51)Int.Cl.

G01D 5/245

G01D 5/249

(21)Application number : 07-155899

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 22.06.1995

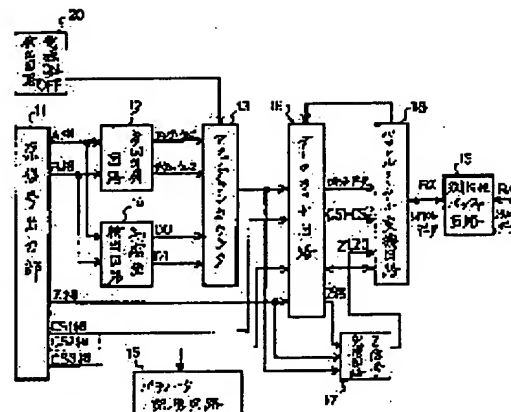
(72)Inventor : FUJIKAWA KEIICHI  
TAGAMI HIROZO

## (54) ROTARY ENCODER

## (57)Abstract:

PURPOSE: To provide an incremental encoder in which the number of output signals is reduced, whose mass productivity is high and whose reliability is high.

CONSTITUTION: A rotary encoder is constituted of a raw-signal output part 11 which outputs a raw signal, of a direction discrimination circuit 12 which is used to count the raw signal, of an up-down counter 13, of an initial-value detection circuit 14, of a parameter storage circuit 15, of a data latch circuit 16 which is used to output data and to convert data, of a Z-signal conversion circuit 17, of a serial-parallel conversion circuit 18, of a bidirectional buffer circuit 19 and of a power-supply on/off detection circuit 20.



## LEGAL STATUS

[Date of request for examination] 11.10.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3362558

[Date of registration] 25.10.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-5114

(43) 公開日 平成9年(1997) 1月10日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 D 5/245	1 0 2		G 0 1 D 5/245	1 0 2 D
				1 0 2 A
5/249			5/249	R

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平7-155899

(22) 出願日 平成7年(1995) 6月22日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 富士川 恵市

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 田上 博三

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

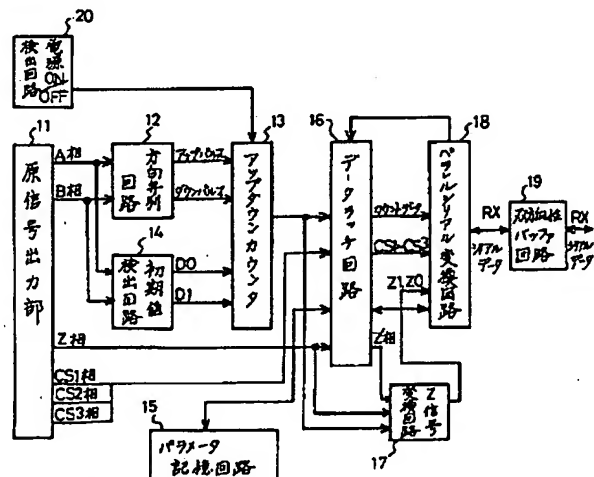
(74) 代理人 弁理士 滝本 智之 (外 1 名)

(54) 【発明の名称】 ロータリーエンコーダ

(57) 【要約】

【目的】 ACサーボモータに用いるインクリメンタルエンコーダは、従来インクリメンタル信号A、Bと基準信号Zと3相励磁切り替え信号CS1、CS2、CS3の各信号伝送のため6回線必要としていた。そのため量産性が悪く誤配線、信号線の断線も起こり易いという問題点があった。本発明は、この出力信号数を減らし量産性が高く信頼性の高いインクリメンタルエンコーダを提供することを目的とする。

【構成】 原信号を出力する原信号出力部11と原信号をカウントするための方向弁別回路12、アップダウンカウンタ13、初期値検出回路14、パラメータ記憶回路15、データ出力およびデータ変換のためのデータラッチ回路16、Z信号変換回路17、パラレルシリアル変換回路18、双方向性バッファ回路19と電源ON/OFF検出回路20により構成している。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項 1】互いに 90 度位相差を有する A, B 2 相のインクリメンタル信号と、1 回転中の原点を示す基準信号 Z と、3 相 AC サーボモータの相励磁切り替え信号（コミュテーション信号）CS 1, CS 2, CS 3 相とを出力する原信号出力部と、エンコーダ主電源のオン、オフ状態を検出する電源 ON/OFF 検出回路と、A, B 2 相の変化エッジを検出し A, B 2 相の位相によりカウントアップパルスおよびダウンパルスを出力する方向弁別回路と、前記電源 ON/OFF 検出回路の出力によりカウント初期データをプリロードし前記方向弁別回路の出力パルスをカウントするアップ・ダウンカウンタと、A, B 2 相のレベルにより前記アップ・ダウンカウンタにプリロードする初期データを出力する初期値検出回路と、前記原信号出力部からの Z 相および CS 1, CS 2, CS 3 相と前記アップ・ダウンカウンタからのデータをラッチするデータラッチ回路と、前記原信号出力部からの Z 相をサンプリングして Z 相の状態を出力する Z 信号変換回路と、外部からのシリアル信号の命令によって、ロータリーエンコーダのパルス数や極数や認識番号などのエンコーダのパラメータと、装着するモータなどの機器の番号や誘起電圧定数や慣性モーメントや粘性計数やそれらの温度係数などのモータなどの機器のパラメータを、ROM もしくは電気的に書き換え可能な ROM もしくは不揮発性の RAM もしくは電池でバックアップした RAM に書き込み記憶する回路と、外部からのシリアル信号の命令によって、前記データラッチ回路から出力されるカウントデータ、CS 1, CS 2, CS 3 相と前記 Z 相信号変換回路から出力されるデータと、ロータリーエンコーダのパラメータとモータなどの機器のパラメータとを切り替えてシリアルデータに変換し出力するパラレルシリアル変換回路と、双方向のシリアル通信の変換回路を備えたロータリーエンコーダ。

【請求項 2】シリアルデータの周期に同期して Z 相の状態を検出する Z 相レベル検出回路と、シリアルデータの周期内での原信号出力部の Z 相の状態を検出する Z 相通過検出回路と、シリアルデータの周期ごとのアップ・ダウンカウンタの変化量を検出し変化量が設定値以下の場合は前記 Z 相通過検出回路の通過情報をキャンセルするカウント変化量検出回路と、前記 Z 相レベル検出回路と Z 相通過検出回路より Z 相の状態情報を 2 ビットで出力するデータシフト回路からなる Z 信号変換回路を備えた請求項 1 記載のロータリーエンコーダ。

【請求項 3】Z 相の状態情報 2 ビットはシリアルデータの現在の周期で検出した Z 相の状態 0/1 と 1 つ前の周期で検出した状態 0/1 より構成されている請求項 1 または請求項 2 記載のロータリーエンコーダ。

【請求項 4】カウント変化量が 2 以下の場合は Z 相通過情報をキャンセルするようにしたカウント変化量検出回路を備えた請求項 1 または請求項 2 記載のロータリーエ

ンコーダ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は回転体の回転位置を検出するためのロータリーエンコーダに関するものであり、特に 3 相 AC サーボモータに組み込まれて使用されるインクリメンタルエンコーダに関するものである。

## 【0002】

【従来の技術】各種機械の駆動用に使われるサーボモータにはブラジ付きの DC サーボモータとブラシのない AC サーボモータ（DC ブラシレスサーボモータ）があり、近年モータ保守の容易さから AC サーボモータの需要が増している。

【0003】サーボ系の位置検出器にもさまざまな種類があるが、近年サーボモータに組み込まれて使用されるロータリーエンコーダが普及している。AC サーボモータに組み込まれるエンコーダはインクリメンタルエンコーダとアブソリュートエンコーダに大別される。インクリメンタルエンコーダは各種機械の AC サーボモータに取付けられ広く使用されており、AC サーボ用エンコーダとして主流を占めている。一方アブソリュートエンコーダは 1 回転内の絶対位置が判別できるエンコーダで、原点復帰動作が不要なことから多関節ロボットをはじめとする大型のロボット用サーボモータなどに普及している。

【0004】以下に従来のインクリメンタルエンコーダについて説明する。図 8 は従来のインクリメンタルエンコーダの構成を示すものであり 81 は発光素子、82 は回転スリット板、83 は受光素子、84 は波形整形回路、85 は信号伝送回路である。

【0005】出力信号は図 9 (a), (b) に示すように、回転方向が判別できるように互いに 90 度位相差を有する A, B 2 相の信号と、1 回転 1 パルスの原点基準 Z 信号と、AC サーボモータの相励磁切り替えのためのコミュテーション信号 CS 1, CS 2, CS 3 を備えている。

## 【0006】

【発明が解決しようとする課題】しかしながら上記従来の構成では、出力信号の数が多いので、配線の数が多いため量産性が悪く、機器への誤配線、信号線自身の断線も起こりやすいという問題点があった。また、ロータリーエンコーダのパルス数や装着するモータなどの機器の情報を受信側で手動で入力するという問題点があった。

【0007】本発明は上記従来の問題点を解決するもので、エンコーダの出力信号数を減らし、量産性が高く信頼性が高いインクリメンタルエンコーダを提供することを目的とする。

## 【0008】

【課題を解決するための手段】この目的を達成するために本発明のインクリメンタルエンコーダは、互いに 90

度位相差を有するA、B 2相のインクリメンタル信号と、1回転中の原点を示す基準信号Zと、3相ACサーボモータの相励磁切り替え信号（コミュテーション信号）CS1、CS2、CS3相とを出力する原信号出力部と、エンコーダ主電源のオン、オフ状態を検出する電源ON/OFF検出回路と、A、B 2相の変化エッジを検出しA、B 2相の位相によりカウントアップパルスおよびダウンパルスを出力する方向弁別回路と、前記電源ON/OFF検出回路の出力によりカウント初期データをプリロードし前記方向弁別回路の出力パルスをカウントするアップ・ダウンカウンタと、A、B 2相のレベルにより前記アップ・ダウンカウンタにプリロードする初期データを出力する初期値検出回路と、前記原信号出力部からのZ相およびCS1、CS2、CS3相と前記アップ・ダウンカウンタからのデータをラッチするデータラッチ回路と、前記原信号出力からのZ相をサンプリングしてZ相の状態を出力するZ信号変換回路と、外部からのシリアル信号の命令によって、ロータリーエンコーダのパルス数や極数や認識番号などのエンコーダのパラメータと、装着するモータなどの機器の番号や誘起電圧定数や慣性モーメントや粘性計数やそれらの温度係数などのモータなどの機器のパラメータを、ROMもしくは電気的に書き換え可能なROMもしくは不揮発性のRAMもしくは電池でバックアップしたRAMに書き込み記憶する回路と、外部からのシリアル信号の命令によって、前記データラッチ回路から出力されるカウントデータ、CS1、CS2、CS3相と前記Z相信号変換回路から出力されるデータと、ロータリーエンコーダのパラメータとモータなどの機器のパラメータとを切り替えてシリアルデータに変換し出力するパラレルシリアル変換回路と双方向のシリアル通信の変換回路とを備えている。

#### 【0009】

【作用】この構成により、外部からのシリアル信号の命令の切り替えによって、A相、B相、Z相、CS1、CS2、CS3の信号と、ロータリーエンコーダのパラメータとモータなどの機器のパラメータをシリアルデータとして1回線で伝送できるため、エンコーダからの出力信号数を減らすことができ、量産性に優れた信頼性の高いロータリーエンコーダを得ることができる。

#### 【0010】

【実施例】以下本発明の一実施例について、図面を参照しながら説明する。

【0011】図1は本発明の一実施例におけるロータリーエンコーダの機能ブロック図である。

【0012】図1において、11は原信号出力部、12は方向弁別回路、13はアップダウンカウンタ、14は初期値検出回路、15はパラメータ記憶回路、16はデータラッチ回路、17はZ信号変換回路、18はパラレルシリアル変換回路、19は双方向性バッファ回路、2

0は電源ON/OFF検出回路である。

【0013】原信号出力部11は従来のインクリメンタルエンコーダと同様に図8に示す発光素子81、回転スリット板82、受光素子83、波形整形回路84より構成され、出力信号の代表例としては図9のようなインクリメンタル信号A相、B相、Z相および3相励磁切り替えコミュテーション信号CS1、CS2、CS3が出力される。

【0014】図2は本発明の一実施例における方向弁別回路の動作波形図である。図2において、A相がB相より進み位相のときはアップパルスが出力され、A相がB相より遅れ位相のときはダウンパルスが出力される。このアップパルス、ダウンパルスはアップダウンカウンタ13に入力されパルスを計数しカウントデータが変化する。

【0015】図3(a)は本発明の一実施例における初期値検出回路の動作波形図、図3(b)はその回路例であり、A相、B相の信号“H”、“L”により2ビットの初期値D1、D0が出力される。

【0016】図4(a)は本発明の一実施例におけるアップダウンカウンタの動作波形図であり、ここでは17ビットカウンタの動作例を示す。このアップダウンカウンタは電源ON/OFF検出回路20の出力により、データプリロード動作とカウント動作が切り替えられるパルスカウンタになっている。

【0017】図4(b)は本発明の一実施例におけるアップダウンカウンタの全体動作波形図である。

【0018】図5は本発明の一実施例におけるパラレルシリアル変換回路より出力されるシリアルデータの構成図である。図5において、データ1フレームはスタートビット、モードビット、データビット、パリティビット、ストップビット、アイドルビットなどで構成される。また、データラッチ回路16でデータを更新するためのデータラッチ信号は図5のようにシリアルデータのフレームに同期して出力される。

【0019】図6は本発明の一実施例におけるZ信号変換回路の構成図である。図6において、Z相レベル検出回路61、Z相通過検出回路62、カウント変化量検出回路63、データシフト回路64より構成される。

【0020】図7は本発明の一実施例におけるZ信号変換回路の動作説明図である。図7(a)はシリアルデータの1フレームごとにA、B、Z相出力が変化したときのZ信号変換状態を示しており、図7(b)はシリアルデータの1フレーム内でA、B、Z相出力が変化したときのZ信号変換状態を示した図である。

【0021】以下、上記構成のロータリーエンコーダについてその動作説明をする。まず、パラメータ設定として外部からのシリアル信号の命令によって、ロータリーエンコーダのA相、B相のパルス数や極数や認識番号などのパラメータと、装着するモータなどの機器の番号や

10

20

30

40

50

誘起電圧定数や慣性モーメントや粘性計数やそれらの温度係数などのモータなどの機器のパラメータを、双方向性バッファ回路19とパラレルシリアル変換回路18とデータラッチ回路16を介して15のパラメータ記憶回路に入力する。

【0022】パラメータ設定が完了後、主電源を投入すると15のパラメータ記憶回路に記憶している各パラメータデータをデータラッチ回路16とパラレルシリアル変換回路18と双方向性バッファ回路19を介して出力する。このパラメータデータの出力は数秒間連続して繰り返して送信するか、もしくは外部からのシリアル信号の命令によってA相、B相、Z相、CS1、CS2、CS3の出力状態に移行する。

【0023】A相、B相、Z相、CS1、CS2、CS3の出力状態では、原信号出力部11よりA相、B相、Z相、CS1、CS2、CS3信号を検出し、この信号を次のような信号処理をしてシリアル信号として出力している。

【0024】A相、B相のカウンタ処理としては、たとえば、図4(a)の位置で主電源ONした場合、カウンタ値には初期値検出回路14で検出した初期値“3”がデータプリロードされ、軸がCWに回転すると方向弁別回路12からのダウパルスをカウントし、カウンタ値は3→2→1→0→65535と変化し、以後カウンタは図4(b)のようにサイクリックカウンタとして動作を継続する。また、このカウンタのデータおよび原信号出力部のZ相およびCS1、CS2、CS3信号はデータラッチ回路16でシリアルデータの伝送周期ごとにデータラッチされる。また、Z相については前記Z相とデータラッチ回路16の出力Z相とアップダウンカウンタの値よりZ信号変換回路17にて2ビットの状態情報Z1、Z0に変換される。

【0025】以上のカウンタデータ、CS1、CS2、CS3およびZ1、Z0はパラレルシリアル変換回路18に入力され、図5に示す構成でシリアルデータとして外部システムへ情報が伝達される。

【0026】このようにエンコーダ内の情報はすべてシリアルデータとして所定時間ごとに繰り返して外部システムへ転送される。

【0027】一方外部システム側では、上記シリアルデータを受信し、カウンタデータ、CSデータ、Z相状態情報、ロータリーエンコーダのパラメータや装着する機器のパラメータをパラレルデータに変換したのち、カウンタデータおよびZ相状態情報および各パラメータを位置・速度・電流などの制御用に、またCSデータはモータ励磁用として使用される。

【0028】次にZ信号変換回路17について図6、図7を用いて動作説明をする。図6において、Z相レベル検出回路61はシリアルデータの伝送周期ごとにZ相の“H”、“L”を検出する回路である。Z相通過検出回

路62はシリアルデータの伝送周期内でのZ相の変化を検出し、周期内でZ相が通過したかどうかを検出する回路である。カウント変化量検出回路63はシリアルデータの伝送周期ごとにカウンタデータの変化量を検出する回路であり、変化量が所定量以下の場合上記Z相通過検出回路のZ相通過情報のキャンセルをする。データシフト回路64は、上記Z相レベル検出回路とZ相通過検出回路よりZ相状態情報Z1、Z0信号を生成する回路である。ここでZ相状態情報2ビットZ1、Z0の内、Z1は1フレーム前のZ相の“H”、“L”またはZ相“通過あり”、“通過なし”を“1”、“0”で示し、Z0は今のフレームでのZ相の“H”、“L”またはZ相“通過あり”、“通過なし”を“1”、“0”で示す。

【0029】図7(a)はZ相レベル検出回路とデータシフト回路の動作を示した図であり、シリアルデータの1フレームごとにA、B、Z相出力が変化したときのZ信号変換状態を示している。h点ではZ相が“L”のためデータシフト回路の出力Z1、Z0は0、0、i点ではZ相が“H”のためZ1、Z0は0、1、j点ではZ相が“H”のためZ1、Z0は1、1、k点ではZ相は“L”のためZ1、Z0は1、0となる。

【0030】図7(b)はZ相通過検出回路とカウント変化量検出回路とデータシフト回路の動作を示した図であり、シリアルデータの1フレーム内でA、B、Z相出力が変化したときのZ信号変換状態を示している。m点ではZ相通過検出回路によりZ相が通過したと検出するがカウント変化量検出回路によりカウンタ値が変化していないため位置が元に戻ったことになり、よって“通過”情報はキャンセルされZ1、Z0は0、0となる。一方q点ではZ相通過検出回路によりZ相が通過したと検出し、またカウント変化量検出回路ではカウンタ値が変化しているため“通過”情報はキャンセルせずにZ1、Z0は0、1となる。ここでZ相が通過したときはカウント変化量は必ず3以上であるため、変化量検出回路の判定はカウント変化量2以下はキャンセル、変化量3以上はキャンセルなしとなる。

【0031】このようにZ相状態情報を2ビットにし、かつ現在のフレームと1つ前のフレームの2フレームの状態を情報化することにより、ノイズなどによるデータ抜けに対しても前・後のシリアルデータで情報の判別ができる。

【0032】以上のような構成により、カウンタデータやコミュニケーションデータ、Z相情報、ロータリーエンコーダのパラメータや装着するモータなどのパラメータをシリアル伝送することにより信号数を1回線にでき、機器の配線工数の削減や信号線の断線に対して信頼性を向上させることができる。

【0033】また、A、B相のカウンタデータおよびZ相情報を2ビットで伝送することにより、上位システム

との間にシリアルデータが外来ノイズにより受信ミスになっても次のデータを正常受信すれば正規の情報が得られるため、信頼性の高い省配線システムが構築できる。

#### 【0034】

【発明の効果】以上のように本発明はA相、B相、Z相、CS1、CS2、CS3信号、ロータリーエンコーダのパラメータや装着するモータなどのパラメータをシリアル伝送することにより、従来14本必要としていた信号線の数を4本にまで削減することができ、量産性の向上と信頼性の高いロータリーエンコーダを実現できる。

#### 【図面の簡単な説明】

【図1】本発明の一実施例におけるロータリーエンコーダ構成図

【図2】本発明の一実施例における方向弁別回路の動作説明図

【図3】本発明の一実施例における初期値検出回路の動作説明図

【図4】本発明の一実施例におけるアップダウンカウンタの動作説明図

【図5】本発明の一実施例におけるシリアルデータ構成図

【図6】本発明の一実施例におけるZ信号変換回路の構成図

【図7】本発明の一実施例におけるZ信号変換回路の動作説明図

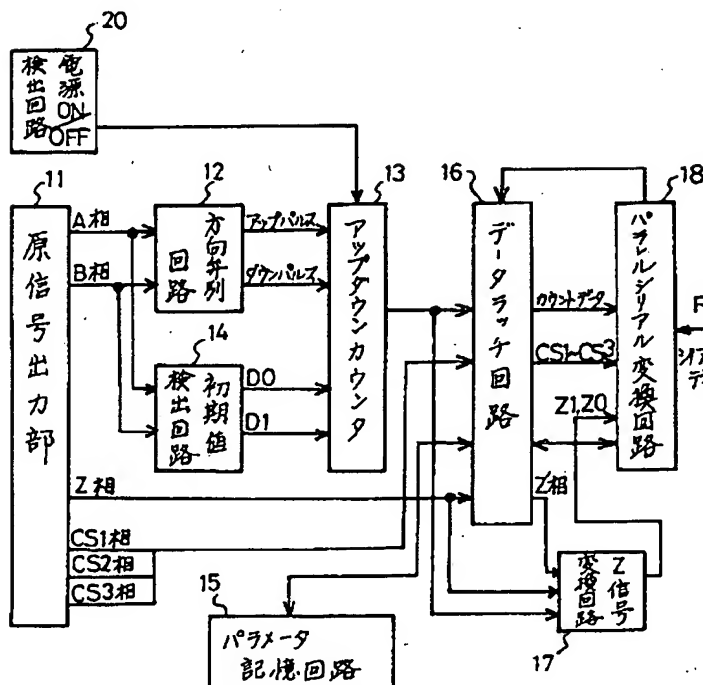
【図8】従来のロータリーエンコーダ構成図

【図9】従来のロータリーエンコーダ動作波形図

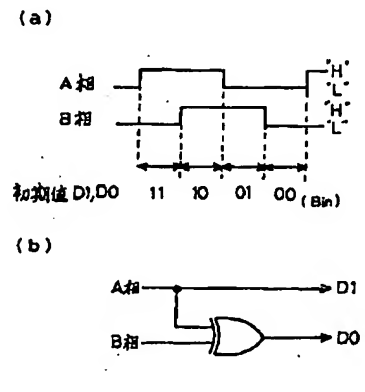
#### 【符号の説明】

- 11 原信号出力部
- 12 方向弁別回路
- 13 アップダウンカウンタ
- 14 初期値検出回路
- 15 パラメータ記憶回路
- 16 データラッチ回路
- 17 Z信号変換回路
- 18 パラレルシリアル変換回路
- 19 双方向性バッファ回路
- 20 電源ON/OFF検出回路
- 61 Z相レベル検出回路
- 62 Z相通過検出回路
- 63 カウント変化量検出回路
- 64 データシフト回路
- 81 発光素子
- 82 回転スリット板
- 83 受光素子
- 84 波形整形回路
- 85 信号伝送回路

【図1】

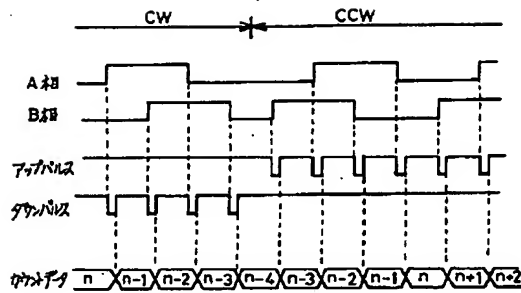


【図3】

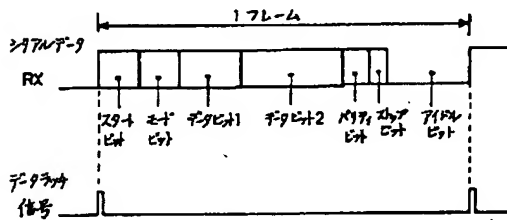


BEST AVAILABLE COPY

【図 2】

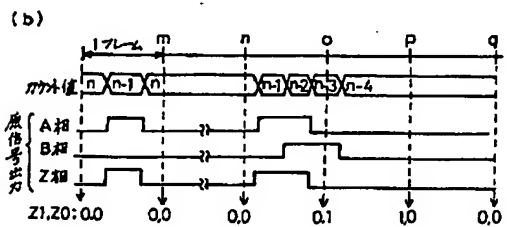
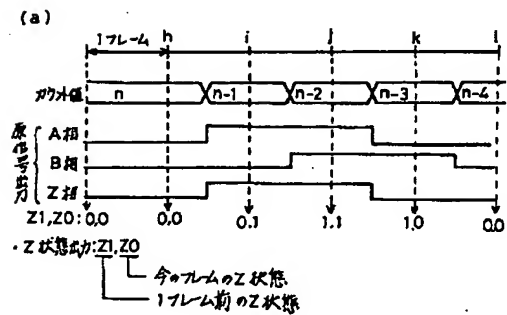


【図 5】

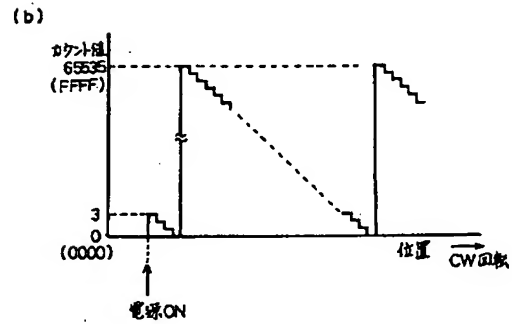
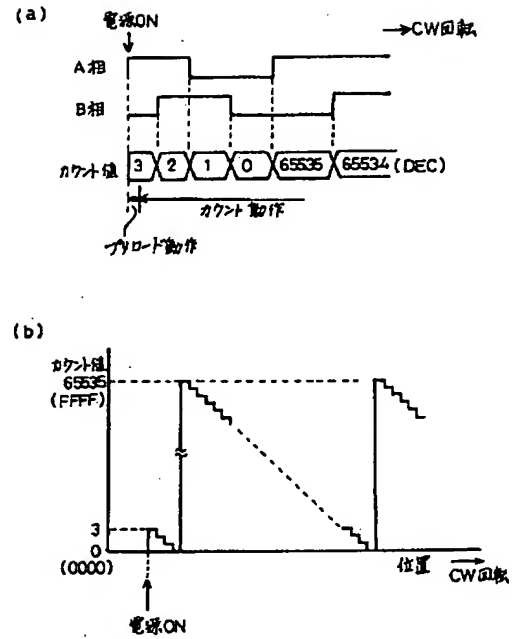


スタートビット: 'H'レベル情報  
 モートビット: シリアルデータ識別情報  
 データビット1: コミュニケーションおよびZ相情報  
 データビット2: カウントデータ情報  
 パリティビット: 伝送エラー検出用情報  
 ストップビット: 'L'レベル情報  
 アイドルビット: データなし

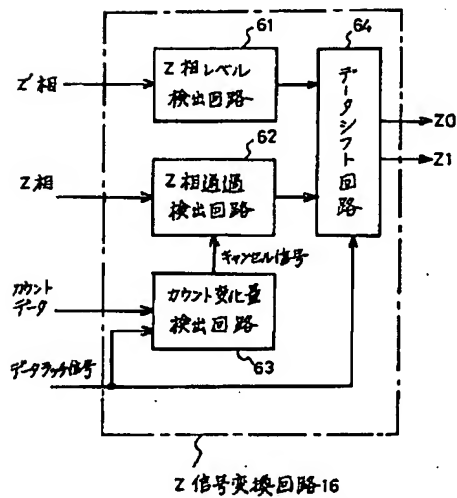
【図 7】



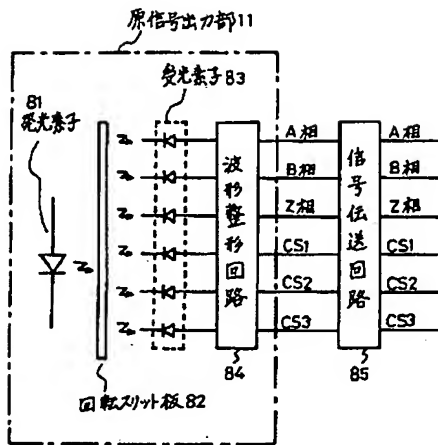
【図 4】



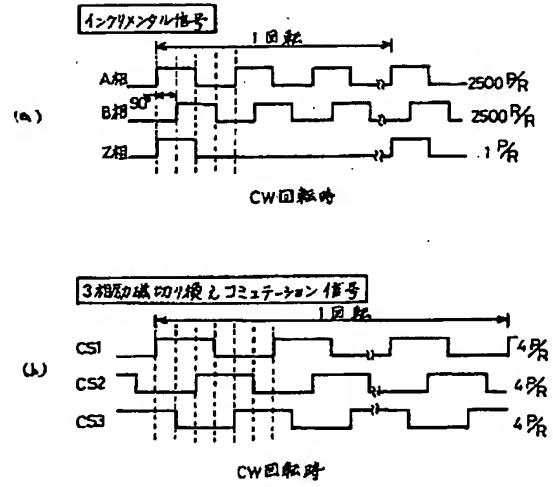
【図 6】



【図8】



【図9】



BEST AVAILABLE COPY